

## LOGICAL CIRCUIT TRIAL MANUFACTURE PRINTED BOARD

**Publication number:** JP9214073

**Publication date:** 1997-08-15

**Inventor:** MOGI KOSUKE

**Applicant:** TOPPAN PRINTING CO LTD

**Classification:**

- **international:** H05K1/02; H05K1/00; H05K1/14; H05K1/02; H05K1/00; H05K1/14; (IPC1-7): H05K1/02

- **european:**

**Application number:** JP19960018972 19960205

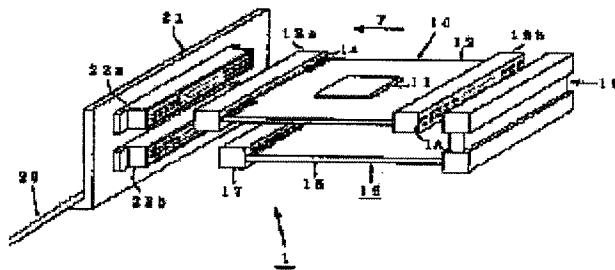
**Priority number(s):** JP19960018972 19960205

[Report a data error here](#)

### Abstract of JP9214073

**PROBLEM TO BE SOLVED:** To provide a logical circuit trial manufacture printed board which dispense with the redesign and remanufacture of d system board accompanying the change of FPGA, in the trial manufacture stage of a logical circuit using an FPGA(field programmable gate array).

**SOLUTION:** The connector 13a of a card-shaped board 10 mounting an FPGA11 is attached to the connector 22a provided on the side of a system board 20, and also the transfer of the signal between the FPGA11 and the system board 20 is performed through a connector 13b by an i/o signal increasing board 15. Moreover, the power input pins of the connectors 13a and 13b and the ground pins are allotted in the same position regardless of the kind of the FPGA mounted on the card board 10.



---

Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-214073

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl.<sup>6</sup>

H 05 K 1/02

識別記号

府内整理番号

F I

H 05 K 1/02

技術表示箇所

J

審査請求 未請求 請求項の数2 O.L (全6頁)

(21)出願番号 特願平8-18972

(22)出願日 平成8年(1996)2月5日

(71)出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72)発明者 茂木 浩介

東京都台東区台東1丁目5番1号 凸版印刷株式会社内

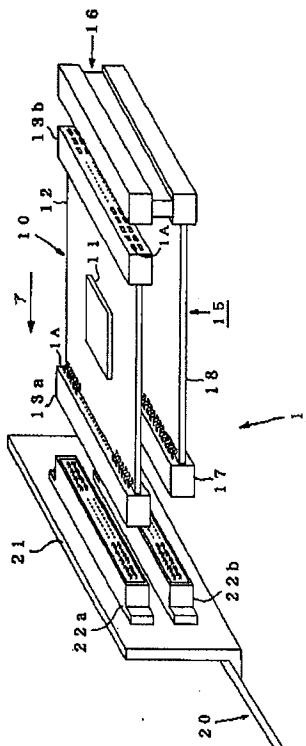
(74)代理人 弁理士 志賀 正武 (外2名)

(54)【発明の名称】論理回路試作プリント基板

(57)【要約】

【課題】FPGAを用いた論理回路の試作段階において、FPGAの変更に伴うシステム基板の再設計・再製作を不要とする論理回路試作プリント基板を提供すること。

【解決手段】システム基板20側に設けられたコネクタ22a, 22bに、FPGA11を搭載したカード状基板10のコネクタ13aを取り付け、また、入出力信号増加基板15により、コネクタ13bを介してFPGA11とシステム基板20との信号の授受を行う。また、コネクタ13a, 13bの電源入力ピンとグランドピンは、カード状基板10に搭載するFPGAの種類に関わらず、同じ位置に割り当てられている。



**【特許請求の範囲】**

**【請求項1】** 内部の論理回路をプログラムすることにより構成可能な論理回路実現手段を、全体の回路構成の一部に使用した回路を試験するために作製される論理回路試作プリント基板において、前記論理回路実現手段を搭載し、前記論理回路実現手段の各入出力端子に対応した配線が形成されたカード状基板と、該カード状基板に取り付けられ、カード状基板の各配線と接続された複数のピンを有する第1のコネクタと、前記論理回路実現手段を除く回路が構成されたプリント配線基板と、該プリント配線基板に取り付けられ、前記第1のコネクタと嵌合して前記カード状基板に搭載された論理回路実現手段との信号の授受を可能とする第2のコネクタとを有してなり、前記カード状基板に形成される配線のうち、少なくとも前記論理回路実現手段の電源入力端子および接地端子に接続される配線が、前記論理回路実現手段の種類に関わらず、前記第2のコネクタの特定のピンに接続されていることを特徴とする論理回路試作プリント基板。

**【請求項2】** 前記論理回路実現手段にプログラムする論理回路のデータを記憶した記憶手段を、前記カード状基板上に具備してなり、前記論理回路実現手段が、電源投入時に前記記憶手段からデータを読み出し、該データに従って、論理回路をプログラムするプログラミング手段を具備することを特徴とする請求項1記載の論理回路試作プリント基板。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** この発明は、例えば内部の論理回路を書き換え可能なプログラマブル・ロジック・デバイスを用いた論理回路の試作段階で作製される論理回路試作プリント基板に関する。

**【0002】**

**【従来の技術】** 現在、パーソナルコンピュータ等のシステムには、その回路の一部にFPGAを使用するものがある。FPGA(Field Programmable Gate Array)は、ユーザ自身が内部のロジック回路をプログラムすることにより構成することができるディジタルICであり、内部に多数の論理セルを有し、上記プログラムにより論理セル間の配線を施すことによって、所望のロジック回路を形成するものである。FPGAには、上述した論理セルの数、動作速度等に応じて多くの種類があり、中には、プログラムするロジック回路のデータを記憶したROM(リードオンリメモリ)からデータを読み出し、自らロジック回路をプログラムするタイプもある。

**【0003】** 一般に、回路の一部にFPGAを使用することにより、部品の実装密度が向上する、FPGAに書き込まれたロジック回路を外観から読み取ることができな

い、ロジック回路の変更が容易である、等の利点が得られる。このような利点から、今日、一層複雑化する傾向のあるパーソナルコンピュータ等のシステムの回路において、FPGAは必要不可欠な部品であるといえる。

**【0004】**

**【発明が解決しようとする課題】** ところで、この種のシステムの回路の試作段階において、仕様を満たすためにFPGAに書き込まれたロジック回路を変更または修正することがしばしばある。そのような場合、通常は、システムの回路が構成されたプリント配線基板(以下、システム基板という)からFPGAだけを取り外し、そのFPGA用のプログラミング装置等によって、ロジック回路をプログラムしなおせばよいが、より複雑なロジック回路が要求される場合は、FPGAそのものを、さらに多くの論理セル数を持ったFPGAに変更しなければならないことがある。

**【0005】** そのような場合、FPGAによってパッケージの寸法や、電源ピンおよびグランドピン等のレイアウトが異なるため、システム基板を再設計しなければならなかつた。このため、再設計に要する時間や手間、また、再製作に要するコストが余計にかかることとなり、FPGAの変更がシステム基板に与える影響は、非常に大きなものとなっていた。

**【0006】** この発明は、このような事情に鑑みてなされたものであり、FPGAを用いた論理回路の試作段階において、FPGAの変更に伴うシステム基板の再設計・再製作を不要とする論理回路試作プリント基板を提供することを目的としている。

**【0007】**

**【課題を解決するための手段】** 請求項1に記載の発明は、内部の論理回路をプログラムすることにより構成可能な論理回路実現手段を、全体の回路構成の一部に使用した回路を試験するために作製される論理回路試作プリント基板において、前記論理回路実現手段を搭載し、前記論理回路実現手段の各入出力端子に対応した配線が形成されたカード状基板と、該カード状基板に取り付けられ、カード状基板の各配線と接続された複数のピンを有する第1のコネクタと、前記論理回路実現手段を除く回路が構成されたプリント配線基板と、該プリント配線基板に取り付けられ、前記第1のコネクタと嵌合して前記カード状基板に搭載された論理回路実現手段との信号の授受を可能とする第2のコネクタとを有してなり、前記カード状基板に形成される配線のうち、少なくとも前記論理回路実現手段の電源入力端子および接地端子に接続される配線が、前記論理回路実現手段の種類に関わらず、前記第2のコネクタの特定のピンに接続されていることを特徴とする論理回路試作プリント基板である。

**【0008】** 請求項2に記載の発明は、請求項1に記載の論理回路試作プリント基板において、前記論理回路実現手段にプログラムする論理回路のデータを記憶した記

憶手段を、前記カード状基板上に具備してなり、前記論理回路実現手段が、電源投入時に前記記憶手段からデータを読み出し、該データに従って、論理回路をプログラムするプログラミング手段を具備することを特徴とする。

#### 【0009】

【発明の実施の形態】以下、図面を参照して、この発明の実施形態について説明する。

〔第1実施形態〕図1は、第1実施形態における論理回路試作プリント基板の外観を示す斜視図である。この図において、1は一部にFPGAを用いたロジック回路の試作プリント基板であり、FPGAを搭載したカード状のプリント配線基板（以下、カード状基板という）10と、FPGAを除く回路が構成されたプリント配線基板（以下、システム基板という）20とから構成されている。

【0010】カード状基板10において、11は予めロジック回路がプログラムされているFPGAであり、100～300本のピン数を有している（うち、電源入力ピンVccと、グラウンドピンGNDを数本～十数本ずつ含む）。12はプリント配線基板であり、FPGA11の各ピンとコネクタ13a、13bの各コネクタピンとを接続するパターン（図示略）が両面に形成されている。また、プリント配線基板12にはFPGA11用のICソケット（図示略）が設けられており、これによりFPGA11は、プリント配線基板12に着脱自在に取り付けられる。

【0011】コネクタ13a、13bは、各々、計120本のコンタクトピンが、60本ずつ2列に配されており、各コネクタピンは、プリント配線基板12上に形成されたパターンによって図2に示すようなピンアサインメントでFPGA11の各ピンと接続されている。ここで、図2(a)、(b)は、それぞれ、相手方のコネクタとの嵌合面から見た、コネクタ13aと、コネクタ13bのピンアサインメントを示している。

【0012】この図において、1A～60A、1B～60Bは、コネクタ13a、13bのピン番号を示しており、ピン番号1Aは、それぞれ、相手方のコネクタとの嵌合面から見た時、左端上列に位置する（図1参照）。また、「D0」～「D197」はFPGA11の各信号入出力ピンと接続されていることを示し、「Vcc」と「GND」は、それぞれFPGA11の電源入力ピンVccとグラウンドピンGNDとに接続されていることを示している。さらに、「リザーブ」は、FPGA11と同タイプのFPGAと共に通するピン、例えば、FPGAにプログラムする際、その旨を通知するための信号を入力するためのピン（以下、プログラム制御ピンという）、または、未使用ピン等の予備ピンを示している。

【0013】ここで、カード状基板10に2つのコネクタを設けたのは、一般に、FPGA11のピン数が20

0本前後あるのに対して、コネクタ13a、13bのような基板用コネクタのコンタクトピンの数は、せいぜい100本前後しかないため、FPGA11のピンを全て使用するためである。また、予め内包する論理セル数が異なる複数種類のFPGAに応じて、カード状基板10と同様のカード状基板を作製しておき、各種カード状基板のコネクタ13a、13bのピンアサインメントのうち、「Vcc」と「GND」の位置を図2に示すピンアサインメントと同位置となるよう、カード状基板のプリント配線基板のパターンを形成しておく。

【0014】次に15は入出力信号増加基板であり、コネクタ13bを介してFPGA11とシステム基板20との間の信号の送受を行なうために使用される。この入出力信号増加基板15は、カード状基板10のコネクタ13bと嵌合する信号方向転換コネクタ16、システム基板20に設けられたシステム側コネクタ22b（後述する）と嵌合するコネクタ17、信号方向転換コネクタ16とコネクタ17の各コネクタピンを接続するパターンが形成されたプリント配線基板18とからなっている。

【0015】信号方向転換コネクタ16は、コネクタ13bと嵌合し、プリント配線基板18によりコネクタ17と接続されている。また、プリント配線基板18の両面には、プリント配線基板18に取り付けられた信号方向転換コネクタ16の各ピンと、これに対応するコネクタ17の各ピンとを1対1で接続するパターンが形成されている。これにより、コネクタ17の、相手方のコネクタとの嵌合面から見た時のピンアサインメントは、図3に示す通りになる。ここで、コネクタ17のピン番号1Aは、コネクタ13a、13bと同様、相手方のコネクタとの嵌合面から見た時、左端上列に位置する。なお、入出力信号増加基板15のプリント配線基板18の代わりに、例えば、フラットケーブルのような線材を用いてもよい。

【0016】次に、システム基板20において、21はコネクタ取付具であり、カード状基板10のコネクタ13aと嵌合するシステム側コネクタ22aと、入出力信号増加基板15のコネクタ17と嵌合するシステム側コネクタ22bとが取り付けられている。また、システム基板20に構成された回路は、上述したシステム側コネクタ22a、22bを介して、カード状基板10に搭載されたFPGA11への信号を入出力する。

【0017】上述した試作プリント基板1により、設計したロジック回路を試験する場合、まず、カード状基板10のICソケットに、設計したロジック回路がプログラムされたFPGA11を取り付け、カード状基板10のコネクタ13aをコネクタ取付具21に取り付けられたシステム側コネクタ22aに嵌入する。そして、入出力信号増加基板15のカード側コネクタ16aを、カード状基板10のコネクタ13bに、コネクタ17をコネクタ取付具21のシステム側コネクタ22bに嵌入す

る。

【0018】そして、システム基板20に電源を投入し、全体のロジック回路の動作を確認する。ここで、もしFPGA11のロジック回路をプログラムしなおす必要がある場合は、プリント配線基板12のICソケットからFPGA11を取り外し、FPGA用のプログラミング装置によって、プログラムの修正を行う。また、試験の結果、ロジック回路をさらに複雑にする必要があった場合は、さらに多くの論理セル数を有するFPGAを搭載したカード状基板に変更する。

【0019】この時、変更するカード状基板に搭載されたFPGAは、その入出力信号ピンの位置が、FPGA11の入出力信号ピンの位置と一致するように、プログラムしておく。このような場合でも、各種カード状基板に取り付けられた各コネクタのピンアサインメントが、カード状基板10のコネクタ13a、13bのピンアサインメントと一致しているので、単にカード状基板の交換によりFPGAの変更が可能となる。

【0020】なお、上述したカード状基板10において、図2に示すピンアサインメントのうち、「リザーブ」とされているピンのうち1つを、前述したプログラム制御ピンに割り当てておき、プログラミング装置のFPGA取付用ソケットと、コネクタ13bとにそれぞれ嵌合するコネクタを両端に有するケーブルを作成しておけば、FPGA11をプリント配線基板12から取り外すことなく、内部のロジック回路をプログラムすることができる。

【0021】[第2実施形態] 第2実施形態では、第1実施形態で用いたFPGA11とは異なるタイプのFPGAを用いる場合について説明する。本実施形態におけるFPGAは、電源OFF時にプログラムされたロジック回路の内容が消えてしまうタイプであり、一般に、この種のFPGAは、所望するロジック回路のデータを記憶したROM(リードオンリーメモリ)と共に使用される。また、この種のFPGAの中には、電源投入時に上述したROMに記憶されているデータを読み出し、そのデータに従って自らロジック回路をプログラムするプログラミング制御回路を有しているものもあり、本実施形態では、そのようなFPGAを用いるロジック回路の試作プリント基板について説明する。

【0022】図4は、上述したFPGAを搭載したカード状基板の外観を示す図であり、この図において、図1に示すカード状基板10の各部に対応する部分については、同一の符号を付し、その説明を省略する。図4のカード状基板30において、図1と異なる点は、以下の通りである。31は、上述したように、電源OFF時にプログラムされたロジック回路の内容が消えてしまうタイプのFPGAであり、FPGA11と同様、100～300本のピン数(うち、電源入力ピンVccと、グランドピンGNDを数本～十数本ずつ含む)を有している。3

2は、FPGA31にプログラムするロジック回路のデータを記憶したROMである。

【0023】また、33はプリント配線基板であり、FPGA31とROM32間を適宜接続するパターンが形成されていると共に、FPGA31の各ピンと、コネクタ13a、13bの各ピンとを、それぞれ図2(a)、(b)に示すピンアサインメントとなるように接続するパターンが形成されている。また、ROM32は、プリント配線基板33上に設けられたICソケット(図示略)に着脱自在に取り付けられる。

【0024】上述したカード状基板30を用い、図1のシステム基板20と組み合わせて、設計したロジック回路を試験する場合、まず、カード状基板30のICソケットにFPGA31にプログラムするロジック回路のデータを記憶したROM32を取り付け、次にカード状基板30のコネクタ13aをコネクタ取付具21に取り付けられたシステム側コネクタ22aに嵌入する。また、入出力信号増加基板15のカード側コネクタ16aをカード状基板30のコネクタ13bに、コネクタ17をコネクタ取付具21のシステム側コネクタ22bに嵌入する。

【0025】そして、システム基板20に電源を投入すると、まず、FPGA31は、ROM32内に記憶されたデータを読み出し、そのデータに従って内部のロジック回路をプログラムする。プログラムが完了すると、FPGA31は、プログラムされたロジック回路と同様の動作をし、試験者は全体のロジック回路の動作を確認する。ここで、もしFPGA31のロジック回路をプログラムしなおす必要がある場合は、プリント基板12のICソケットからROM32を取り外し、ROMライタ等によってデータの修正を行う。また、試験の結果、ロジック回路をさらに複雑にする必要があった場合は、さらに多くの論理セル数を有するFPGAを搭載した他のカード状基板に変更する。

【0026】このように、第1実施形態のFPGA11と、本実施形態のFPGA31のように、タイプが異なるFPGAにおいても、カード状基板のコネクタと、ピンアサインメントとを共通化することによって、同じシステム基板20に装着して使用することができる。

【0027】

【発明の効果】以上説明したように、請求項1記載の発明によれば、内部の論理回路がプログラムによって構成可能な論理回路実現手段を全体の回路構成の一部に使用した回路を試験するために作製される論理回路試作プリント基板において、論理回路実現手段を搭載し、前記論理回路実現手段の各入出力端子に対応した配線が形成されたカード状基板と、該カード状基板に取り付けられ、カード状基板の各配線と接続された複数のピンを有する第1のコネクタと、前記論理回路実現手段を除く回路が構成されたプリント配線基板と、該プリント配線基板に

取り付けられ、前記第1のコネクタと嵌合して前記カード状基板に搭載された論理回路実現手段との信号の授受を可能とする第2のコネクタとを有し、前記カード状基板に形成される配線のうち、少なくとも前記論理回路実現手段の電源入力端子および接地端子に接続される配線が、前記論理回路実現手段の種類に関わらず、前記第2のコネクタの特定のピンに接続されているので、例えば論理回路実現手段としてFPGAを用いる場合、前記論理回路実現手段を除く回路が構成されたプリント配線基板を再設計および再製作することなく、外径寸法やピン数が異なるFPGAに交換することができる。

【0028】また、請求項2に記載の発明によれば、請求項1に記載の論理回路試作プリント基板において、プログラムする論理回路のデータを記憶した記憶手段と組み合わせて使用される論理回路実現手段の場合でも、カード状基板に形成される配線のうち、少なくとも上記論理回路実現手段の電源入力端子および接地端子に接続される配線が、第2のコネクタの特定のピンに接続されているので、外径寸法やピン数のみならず、タイプが異なるFPGAに交換する場合でも、前記論理回路実現手段

を除く回路が構成されたプリント配線基板を再設計および再製作する必要がない。

【図面の簡単な説明】

【図1】この発明の第1実施形態における論理回路試作プリント基板の外観を示す斜視図である。

【図2】同実施形態における、カード状基板10の各コネクタ13a, 13bのピンアサインメントを説明するための説明図である。

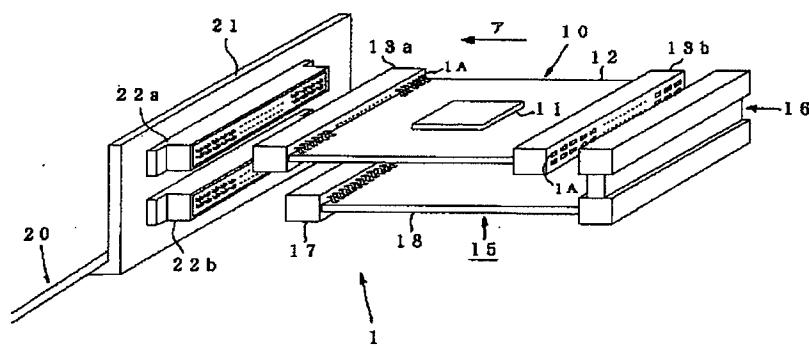
【図3】同実施形態のコネクタ17のピンアサインメントを説明するための説明図である。

【図4】この発明の第2実施形態におけるカード状基板の外観を示す斜視図である。

【符号の説明】

1……論理回路試作プリント基板、10, 30……カード状基板、11, 31……FPGA、12, 18, 33……プリント配線基板、13a, 13b, 17……コネクタ、15……入出力信号増加基板、16……信号方向転換用コネクタ、20……システム基板、21……コネクタ取付具、22a, 22b……システム側コネクタ。

【図1】



【図2】

| 1A                     | 2A  | 3A                     | 4A             | 5A             | 52A   | 53A             | 54A             | 57A | 58A | 59A                    | 60A                        |
|------------------------|-----|------------------------|----------------|----------------|-------|-----------------|-----------------|-----|-----|------------------------|----------------------------|
| リテ <sup>+</sup><br>-7° | Vcc | リテ <sup>+</sup><br>-7° | D <sub>0</sub> | D <sub>2</sub> | ----- | D <sub>96</sub> | D <sub>98</sub> | 空き  | 空き  | リテ <sup>+</sup><br>-7° | GND リテ <sup>+</sup><br>-7° |
| リテ <sup>+</sup><br>-7° | Vcc | リテ <sup>+</sup><br>-7° | D <sub>1</sub> | D <sub>3</sub> | ----- | D <sub>97</sub> | 空き              | 空き  | 空き  | リテ <sup>+</sup><br>-7° | GND リテ <sup>+</sup><br>-7° |
| 1B                     | 2B  | 3B                     | 4B             | 5B             | 52B   | 53B             | 54B             | 57B | 58B | 59B                    | 60B                        |

(a)

| 1A                     | 2A  | 3A                     | 4A             | 5A             | 52A   | 53A             | 54A             | 57A              | 58A   | 59A              | 60A                 |
|------------------------|-----|------------------------|----------------|----------------|-------|-----------------|-----------------|------------------|-------|------------------|---------------------|
| リテ <sup>+</sup><br>-7° | Vcc | リテ <sup>+</sup><br>-7° | D <sub>0</sub> | D <sub>2</sub> | ----- | D <sub>96</sub> | D <sub>98</sub> | D <sub>101</sub> | ----- | D <sub>195</sub> | D <sub>197</sub> 空き |
| リテ <sup>+</sup><br>-7° | Vcc | リテ <sup>+</sup><br>-7° | D <sub>1</sub> | D <sub>3</sub> | ----- | D <sub>97</sub> | 空き              | D <sub>102</sub> | ----- | D <sub>196</sub> | 空き 空き               |
| 1B                     | 2B  | 3B                     | 4B             | 5B             | 52B   | 53B             | 54B             | 57B              | 58B   | 59B              | 60B                 |

【図3】

| 1A                     | 2A  | 3A                     | 4A | 7A    | 8A | 9A               | 54A              | 57A              | 58A              | 59A                                    | 60A                        |
|------------------------|-----|------------------------|----|-------|----|------------------|------------------|------------------|------------------|--|----------------------------|
| リテ <sup>+</sup><br>-7° | GND | リテ <sup>+</sup><br>-7° | 空き | ----- | 空き | D <sub>197</sub> | D <sub>195</sub> | -----            | D <sub>101</sub> | D <sub>99</sub> リテ <sup>+</sup><br>-7° | Vcc リテ <sup>+</sup><br>-7° |
| リテ <sup>+</sup><br>-7° | GND | リテ <sup>+</sup><br>-7° | 空き | ----- | 空き | D <sub>196</sub> | -----            | D <sub>102</sub> | D <sub>100</sub> | リテ <sup>+</sup><br>-7°                 | Vcc リテ <sup>+</sup><br>-7° |
| 1B                     | 2B  | 3B                     | 4B | 7B    | 8B | 9B               | 54B              | 57B              | 58B              | 59B                                    | 60B                        |

【図4】

